# Übersicht Ist-Zustand

Eine kurze Übersicht bietet folgende Grafik und beschreibt den vorgefundenen Zustand, der bei Beginn des Projektes übernommen wurde.

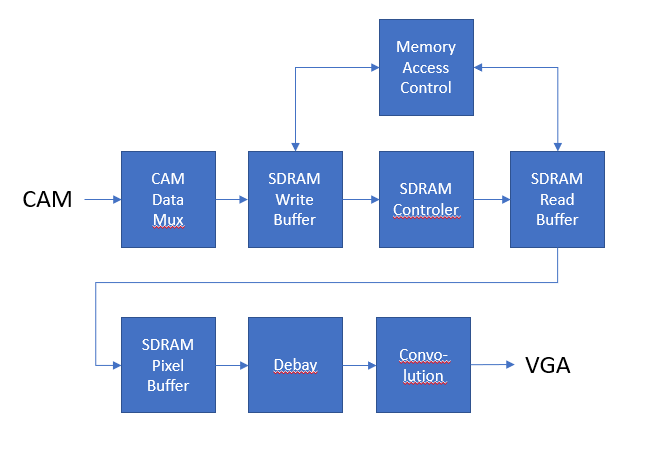


Abbildung Projekt 1: Übersicht der Module innerhalb des bisherigen Quartusprojekts

In der Ausarbeitung der Studienarbeit „Bilddatenvorverarbeitung in einem FPGA“ von Herrn Herbst, sind die Module im Detail beschrieben. Daher werden im Folgenden die Module beschrieben an denen Änderungen oder direkter Gebrauch von gemacht wird erläutert und beschrieben.

## Modul: SDRAM\_Pixelbuffer

Durch vorherige Schritte, liegen Bilddaten im SDRAM vor. Die einzelnen Pixel werden jeweils als Byte dargestellt und sind einzeln aus dem SDRAM lesbar. Für die weitere Bildverarbeitung und die Ausgabe auf einer VGA Schnittstelle werden immer 5x5 Pixelblöcke im Modul „SDRAM\_Pixelbuffer“ gebuffert.

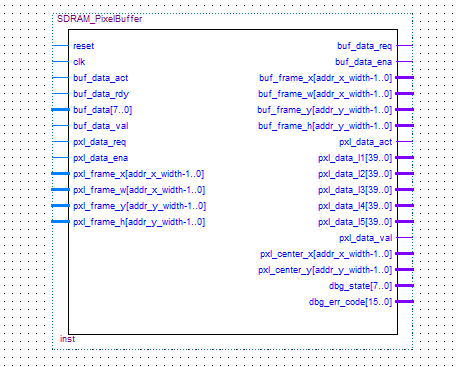


Abbildung SDRAM\_Pixelbuffer : Blockschaltbild,  
rot markiert die wichtigsten IOs

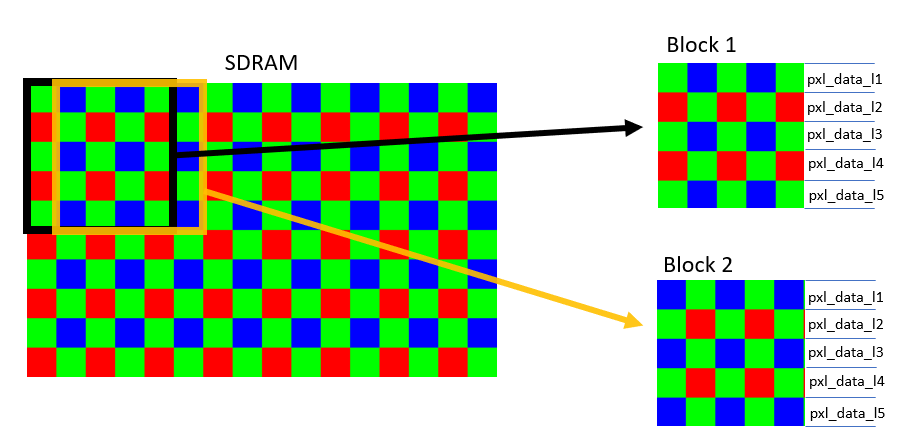
Der 5x5 Byte Block ist zeilenweise auf den Ausgängen „pxl\_data\_l1[39 .. 0]“ bis „pxl\_data\_l5[39 .. 0]“ lesbar. Die Ausgänge dürfen erst gelesen werden, wenn der Ausgang „pxl\_datal\_val“ einen logischen High-Pegel vorweist.

Abbildung SDRAM\_Pixelbuffer : Schaubild Funktionsweise Pixelbuffer

Die fünf Ausgänge, für jeweils eine Zeile, sind auf den Eingang „pxl\_datal1 ... pxl\_datal5“ des Modul „debay“ gelegt für die Auswertung des Bayer Pattern.

Wenn ein Block komplett erfasst und bearbeitet wurde, wird der Block um eine Pixelspalte im Bild verschoben und der nächste Block wird gepuffert. Ist das Ende der aktuellen Spalte erreicht, dann wird der Buffer mit dem nächsten Block, am Spaltenbeginn um eine Zeile versetzt, befüllt. Siehe dafür Abbildung SDRAM\_Pixelbuffer 3.

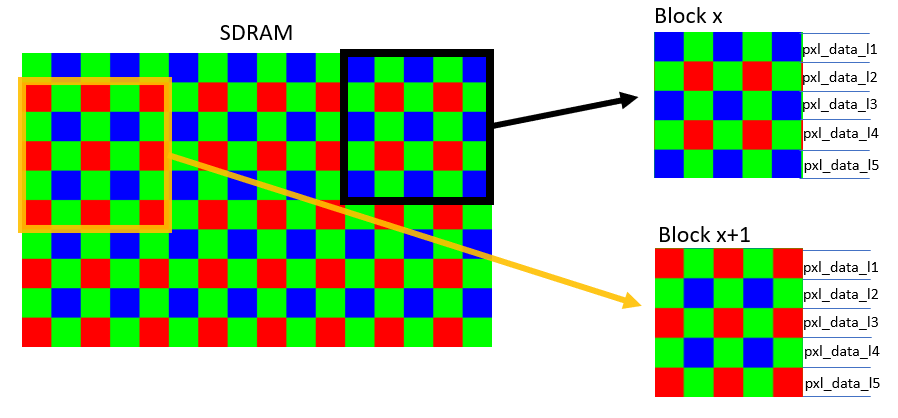


Abbildung SDRAM\_Pixelbuffer 3: Schaubild Pixelbuffer Zeilenende

## Modull: Debay

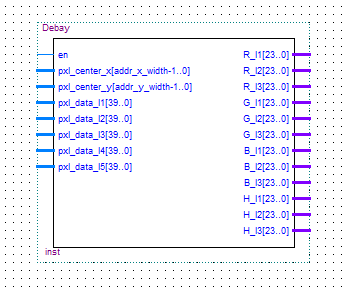
Die Pixeldaten (5x5 Byte Block) des Modul „sdram\_pixelbuffer“ liegen an den Eingängen „pxl\_data\_l1[39 .. 0]“ bis „pxl\_data\_l5[39 .. 0]“ an. Jeder Eingang steht für eine Zeile im Block.

Abbildung Debay : Blockschaltbild

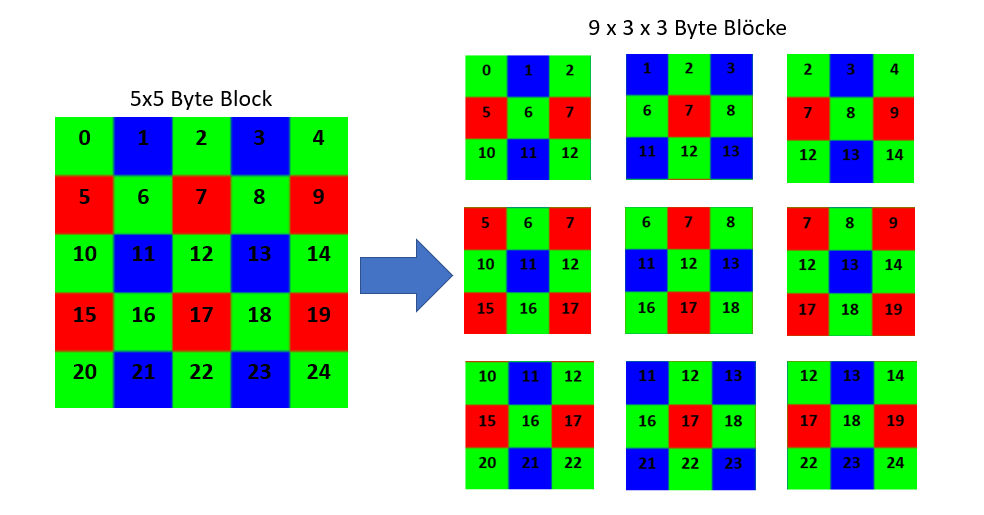


Abbildung Debay : Aufteilung 5x5 Byte Block in kleinere 3x3 Blöcke

Der 5x5 Byte Block ist nach dem Bayer Muster formatiert. Das Bayer Muster reduziert die Anzahl der Farbkanäle pro Pixel auf einen einzigen Farbkanal. Für die Ausgabe des Bildes über eine VGA-Schnittstelle sollen drei Kanäle pro Pixel zur Verfügung stehen. Im Modul „Debay“ wird aus dem 5x5 Byte Block für jeden der drei Farbkanäle (R, G, B), ein 3x3 Byte Block gewonnen. Um jeweils 3x3 Bytes pro Kanal zu bekommen, wird der 5x5 Byte Block wie in Abbildung Debay 2 aufgeteilt.

Durch die Aufteilung erhalten wir neun 3x3 Byte Blöcke. Aus jedem Block wird für alle drei Farbkanäle ein Byte extrahiert. Wie in Abbildung Debay 2 zu sehen, beinhaltet ein 3x3 Block mehr als nur eine Farbinformation für einen Kanal, so ist beispielsweise im ersten Block an Stelle 5 und 7 die Farbinformation für rot doppelt. Um aus zwei Byte ein zubekommen, nehmen wir das arithmetische Mittel der zwei Farbinformationen aus diesem Block. Zum besseren Verständnis dieser Vorgehensweise siehe Abbildung Debay 3.

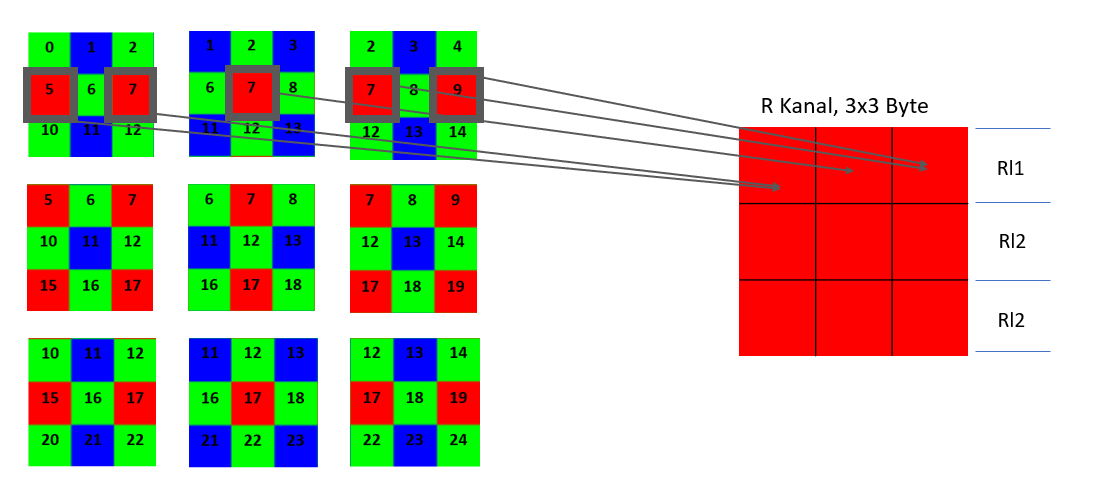


Abbildung Debay 3: Zusammensetzung 3x3, Beispiel am Rotkanal, Rl1 = Output der ersten Zeile des Rotkanals

Nach dem Auswerten der kleineren Blöcke, werden die Informationen der 3x3 Blöcke pro Farbkanal, auf den, in Abbildung Debay 2 rot markierten, Ausgängen gelegt.

Für die reine Ausgabe der Pixel über eine VGA Schnittstelle, würde ein Overhead bei der Anzahl der gelesenen Pixel entstehen, da 3x3 große Blöcke als Eingabe für das Decodieren des Bayer Pattern reichen würde. Jedoch ist die Größe von 5x5 als Eingabe gewünscht, da die zusätzlichen Pixel ein Maß an extra Information über Farbänderung und Farbbewegung liefert.